



RECEIVED  
JAN 31 2002  
Technology Center 2100

2182  
(4)

Envelope No.: M&N-IT-197

I hereby certify that this correspondence is being deposited with the United States Postal Service as First Class Mail in an envelope addressed to the Assistant Commissioner for Patents, Washington, D.C. 20231, on the date indicated below.

By: Markus Nollf Date: January 3, 2002

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant : Martin Ehlert et al.  
Applic. No. : 09/998,720  
Filed : November 30, 2001  
Title : Method and Configuration for Generating a Clock Pulse in a  
Data Processing System Having a Number of Data Channels  
Art Unit : 2182

**CLAIM FOR PRIORITY**

Hon. Commissioner of Patents and Trademarks,  
Washington, D.C. 20231

Sir:

Claim is hereby made for a right of priority under Title 35, U.S. Code, Section 199, based upon the German Patent Application 100 61 167.2, filed November 30, 2000.

A certified copy of the above-mentioned foreign patent application is being submitted herewith.

Respectfully submitted,

Markus Nollf  
For Applicants

MARKUS NOLFF  
REG. NO. 37,006

Date: January 3, 2002

Lerner and Greenberg, P.A.  
Post Office Box 2480  
Hollywood, FL 33022-2480  
Tel: (954) 925-1100  
Fax: (954) 925-1101

/kf

# BUNDESREPUBLIK DEUTSCHLAND



**RECEIVED**  
JAN 31 2002  
Technology Center 2100

## Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

**Aktenzeichen:** 100 61 167.2

**Anmeldetag:** 30. November 2000

**Anmelder/Inhaber:** Infineon Technologies AG, München/DE

**Bezeichnung:** Verfahren und Anordnung zur Erzeugung eines Taktes  
in einem Datenverarbeitungssystem mit einer Vielzahl  
von Datenkanälen

**IPC:** G 06 F 1/04

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 3. Dezember 2001  
**Deutsches Patent- und Markenamt**  
**Der Präsident**  
Im Auftrag

*Jerofsky*

## Beschreibung

Bezeichnung der Erfindung: Verfahren und Anordnung zur Erzeugung eines Taktes in einem Datenverarbeitungssystem mit einer Vielzahl von Datenkanälen.

Die Erfindung betrifft ein Verfahren und eine Anordnung zur Erzeugung eines Taktes in einem Datenverarbeitungssystem mit einer Vielzahl von Datenkanälen gemäß den Oberbegriffen der Ansprüche 1 und 6.

In Datenverarbeitungssystemen mit einer Vielzahl von unabhängigen Datenkanälen, insbesondere in integrierten Schaltkreisen (ICs) besteht das Problem, daß es bei der Übertragung von Daten auf den verschiedenen Datenkanälen aufgrund unterschiedlicher Taktfrequenzen zu Unterschieden in den Datenraten der einzelnen Kanäle kommen kann. In den entsprechenden Standards ist üblicherweise eine maximale Abweichung von zweihundert ppm der verschiedenen Datenraten bzw. Taktfrequenzen erlaubt. Das geschilderte Problem führt dazu, daß in einem Datenverarbeitungssystem mehrere unabhängige Kanäle ohne zusätzliche Maßnahmen nicht gleichzeitig mit nur einem Takt bearbeitet werden können.

Zur Lösung des dargelegten Problems ist eine Anordnung gemäß Figur 2 bekannt, bei der für jeden Datenkanal 101, 102, 10n der notwendige Systemtakt anhand einer Phase-Locked-Loop (PLL) Schaltung 111, 112, 11n aus den Daten des jeweiligen Datenkanals oder einem mitgelieferten Takt gewonnen wird.

Eine PLL-Schaltung weist einen spannungsgesteuerten Oszillator (VCO - Voltage Controlled Oscillator) auf, der den gewünschten Takt zur Verfügung stellt. PLL-Schaltungen sind im Stand der Technik bekannt, so daß auf sie nicht weiter eingegangen wird.

Der Nachteil der Anordnung der Figur 2 besteht darin, daß zur Realisierung einer Signalabtastung mehrerer unabhängiger

Kanäle mit unterschiedlichen Datenraten für jeden abzutastenden Datenkanal eine PLL-Schaltung benötigt wird. Dies erfordert nachteilig den Einsatz einer Vielzahl spannungsgesteuerter Oszillatoren (VCO). Neben den damit verbundenen Kosten besteht auch die Gefahr, daß die spannungsgesteuerten Oszillatoren bzw. PLL-Schaltungen sich untereinander durch Kopplungsvorgänge stören und auf diese Art und Weise im System einen unerwünschten Jitter erzeugen.

10 Weiter ist im Stand der Technik als Alternative zu der Verwendung einer PLL-Schaltung die Verwendung einer Delay-Locked-Loop (DLL)-Schaltung bekannt, die ein Ausgangssignal erzeugt, das eine vorbestimmte Verzögerung gegenüber einem Eingangs-Referenzsignal aufweist. DLL-Schaltungen sind  
15 beispielsweise in den Druckschriften US-A-5 614 855, EP-A2-0 349 715 und US-A-5 317 288 beschrieben. In dem Artikel von T.H. Lee, K.S. Donnelly, J.T.C. Ho, J. Zerbe, M.G. Johnson, C. Eshikawa: „A 2.5 V CMOS Delay-Locked Loop for 18 Mbit, 500 Megabyte(s) DRAM“, IEEE-Journal of Solid-State Circuits, Vol.  
20 29, Nr. 12, Dezember 1994, Seiten 1491 bis 1496, ist eine DLL-Schaltung beschrieben, die einen unendlichen Verzögerungsbereich bzw. Aussteuerbereich aufweist. Dies bedeutet, daß die DLL-Schaltung ein Ausgangssignal in seiner Phase beliebig verzögern kann. Dadurch kann die Phasendifferenz  
25 zwischen zwei Kanälen kontinuierlich angepaßt werden.

Der vorliegenden Erfindung liegt die Aufgabe zugrunde, ein Verfahren und eine Anordnung zur Erzeugung eines Taktes in einem Datenverarbeitungssystem mit einer Vielzahl

30 unabhängiger, nicht synchroner digitaler Datenkanälen zur Verfügung zu stellen, die die Notwendigkeit der Verwendung einer Vielzahl von PLL-Schaltungen vermeiden und den im System erzeugen Jitter möglichst weit reduzieren.

35 Diese Aufgabe wird erfindungsgemäß durch ein Verfahren mit den Merkmalen des Anspruchs 1 und eine Anordnung mit den Merkmalen des Anspruchs 6 gelöst. Bevorzugte und vorteilhafte

Ausgestaltungen der Erfindung sind in den Unteransprüchen angegeben.

5 Danach ist erfindungsgemäß vorgesehen, einen Referenztakt zu gewinnen und diesen Referenztakt sämtlichen Datenkanälen zuzuführen. Für jeden Datenkanal erfolgt dann unter Verwendung einer Delay-Locked-Loop (DLL)-Schaltung ein Ausgleich des Unterschiedes in der Taktfrequenz zwischen dem Referenztakt und dem jeweiligen Datenkanal. Die DLL-Schaltung  
10 weist dabei einen unendlichen Verzögerungsbereich auf und eine Bandbreite, die größer ist als die Differenz zwischen der Frequenz des Referenztaktes und der Frequenz des jeweiligen Datenkanals.

15 Bei der erfindungsgemäßen Lösung wird somit nur ein Referenztakt gewonnen und dieser Referenztakt für alle weiteren Kanäle durch eine DLL-Schaltung so eingestellt und justiert, daß beide Kanäle die gleiche Frequenz und die gleiche Phasenlage aufweisen. Der damit verbundene Vorteil  
20 besteht darin, daß nicht für jeden Datenkanal eine PLL-Schaltung benötigt wird.

Aufgrund der Verwendung nur einer Taktquelle sind darüber hinaus Störungen bzw. Kopplungen zwischen den einzelnen  
25 Datenkanälen ausgeschlossen, so daß der im System erzeugte Jitter reduziert wird.

Es wird darauf hingewiesen, daß die Erfindung unabhängig von der Art der Datenübertragung auf den Datenkanälen realisiert  
30 werden kann. Insbesondere können die Daten als elektrische oder optische Signale übertragen werden, wobei an optoelektronischen Schnittstellen gegebenenfalls geeignete optoelektronische Wandler einzusetzen sind.

35 Bevorzugt wird der Referenztakt aus den Daten oder einem mitgelieferten Takt eines als Referenzkanal dienenden Datenkanals mittels einer Phase-Locked-Loop (PLL) Schaltung

gewonnen. Dabei kann ein beliebiger Datenkanal als Referenzkanal verwendet werden. Die PLL-Schaltung stellt dabei mit ihrem spannungsgesteuerten Oszillator (VCO) eine Taktquelle für sämtliche Datenkanäle zur Verfügung, so daß  
5 die Anzahl der erforderlichen PLL-Schaltungen auf eins reduziert wird.

Es liegt jedoch ebenfalls im Rahmen der Erfindung, daß der Referenztakt durch einen unabhängigen Taktgenerator, z.B.  
10 einen Quarz-Oszillator gewonnen wird.

In einer bevorzugten Ausgestaltung des erfindungsgemäßen Verfahrens wird für jeden Datenkanal mittels der jeweiligen DLL-Schaltung die Phase des Referenztaktes kontinuierlich an die  
15 Phase des Datenkanals angepaßt. Die Unterschiede zwischen der Taktfrequenz bzw. Datenrate des Referenztakts und des jeweiligen Datenkanals werden somit durch kontinuierliche Anpassung der Phase des Referenztaktes ausgeglichen. Hierdurch ist es möglich, nur einen Referenztakt für  
20 sämtliche Datenkanäle zu verwenden, obwohl diese nicht synchronisiert sind.

In einer vorteilhaften Weiterbildung des erfindungsgemäßen Verfahrens werden für jeden Datenkanal mittels des angepaßten Referenztaktes die Daten des Datenkanals abgetastet. Die Ab-  
25 tastfrequenz ist dabei identisch der Datenfrequenz des jeweiligen Datenkanals. Durch die Verwendung der DLL-Schaltung wird sichergestellt, daß zwischen dem Referenztakt und dem Datenkanal die gleiche Phasenlage und die gleiche Frequenz  
30 vorliegen, so daß eine zuverlässige Abtastung erfolgen kann.

Es wird jedoch darauf hingewiesen, daß auch andere Anwendungen einer Signalabgleichung zwischen dem Referenztakt und den Datenkanälen im Rahmen der Erfindung liegen.  
35 Beispielsweise kann vorgesehen sein, daß die jeweils in ihrer Taktfrequenz und Phasenlage aneinander angepaßten Referenztakt- und Datenkanalsignale zum Steuern weiterer

Funktionsgruppen verwendet werden.

Die erfindungsgemäße Anordnung gemäß Anspruch 6 weist neben Mitteln zur Erzeugung eines Referenztaktes eine Vielzahl von  
5 Signalabtastungsblöcken auf, die jeweils einem Datenkanal zugeordnet sind und denen der erzeugte Referenztakt zugeführt wird. Jeder Signalabtastungsblock verwirklicht dabei eine DLL-Schaltung zum Ausgleichen der Unterschiede in der Taktfrequenz zwischen dem Referenztakt und dem jeweiligen Da-  
10 tenkanal.

Die Mittel zur Erzeugung eines Referenztaktes umfassen bevorzugt eine Phase-Locked-Loop Schaltung zur Gewinnung eines Referenztaktes aus den Daten oder einem mitgelieferten  
15 Takt eines als Referenzkanal dienenden Datenkanals.

Bei der erfindungsgemäßen Anordnung sind die einzelnen Datenkanäle und die jeweils zugeordneten Signalabtastungsblöcke bevorzugt identisch aufgebaut. Hierdurch wird sichergestellt,  
20 daß die einzelnen Datenkanäle ein identisches Übertragungsverhalten aufweisen.

Die einzelnen Datenkanäle sind bevorzugt mit einem Empfängerbaustein, insbesondere einem Demultiplexer, oder einem Sende-  
25 baustein, insbesondere einem Multiplexer verbunden. Ein entsprechender Multiplexer oder Demultiplexer kann dabei grundsätzlich für jede beliebige Kanalanzahl realisiert werden.

30 Die Erfindung wird nachfolgend unter Bezugnahme auf die Figuren der Zeichnung an einem Ausführungsbeispiel näher erläutert. Es zeigen:

Fig. 1 - eine schematische Darstellung einer erfindungsgemäßen Anordnung zur Erzeugung eines Taktes mit einer Vielzahl von nicht  
35 synchronen Datenkanälen;

Fig. 2 - eine Anordnung gemäß dem Stand der Technik;

Fig. 3 - ein Ausführungsbeispiel der  
erfindungsgemäßen Anordnung für einen 4-Kanal Demultiplexer-Baustein und

Fig. 4 - die funktionellen Baugruppen eines  
Signalabtastungsblocks gemäß Figur 3.

Eine Anordnung gemäß dem Stand der Technik, bei der für jeden Kanal der notwendige Systemtakt separat anhand einer Phase-Locked-Loop (PLL) Schaltung gewonnen wird, war eingangs anhand der Figur 2 erläutert worden.

Die erfindungsgemäße Anordnung der Figur 1 weist eine Vielzahl von Datenkanälen 101, 102, ... 10n auf, denen jeweils ein Signalabtastungsblock 20, 21, ... 2n zugeordnet ist. Die Signalabtastungsblöcke 20, 21, ... 2n dienen dazu, auf den jeweiligen Datenkanälen 101, 102, 10n eingehende Daten DI1, DI2, ... DIN (DI - Data In) abzutasten und die abgetasteten Daten als Daten DO1, DO2, ... DON (DO - Data Out) auszugeben. Die einzelnen Datenkanäle 101, 102, ... 10n sind dabei unabhängig und nicht synchronisiert, so daß die Datenraten auf den verschiedenen Datenkanälen voneinander abweichen können.

Zur Realisierung einer Signalabtastung ist es erforderlich, jedem Signalabtastungsblock einen Referenztakt zuzuordnen.

Dies erfolgt dadurch, daß ein beliebiger der Datenkanäle als Referenzkanal ausgewählt wird (in Figur 1 der Datenkanal 101) und mittels der PLL-Schaltung 1 in an sich bekannter Weise aus den Daten des Referenzkanals 101 bzw. einem mitgelieferten Takt ein Referenztakt RT gewonnen wird. Der Referenztakt wird dabei durch einen spannungsgesteuerten Oszillator VCO (nicht dargestellt) der PLL-Schaltung zur Verfügung gestellt.



Der von der PLL-Schaltung erzeugte Referenztakt RT wird über eine Verbindungsleitung 2 den einzelnen Signalabtastungsblöcken 20, 21, 2n zugeführt. Die einzelnen  
5 Signalabtastungsblöcke 20, 21, ... 2n weisen jeweils eine Delay-Locked-Loop (DLL) Schaltung 30, 31, 3n auf. Die DLL-Schaltung ermittelt den Phasenunterschied zwischen dem Referenztakt und dem Datensignal des jeweiligen Datenkanals 101, 102, ... 10n und justiert den Referenztakt derart  
10 hinsichtlich des Datensignals, daß die Daten DI1, DI2, ... DIN korrekt abgetastet werden.

Den Unterschied in der Taktfrequenz zwischen dem Referenztakt und dem jeweiligen Datenkanal gleicht die DLL-Schaltung dabei  
15 durch stetige Anpassung der Verzögerung zwischen Referenztakt und Datensignal aus.

Es wird darauf hingewiesen, daß für den Referenzkanal auf eine separate DLL-Schaltung auch verzichtet und direkt der  
20 von der PLL-Schaltung 1 erzeugte Takt verwendet werden kann. In diesem Fall muß für den Referenzkanal 101 die PLL-Schaltung 1 das korrekte Zeitverhalten erzeugen. Enthält der Referenzkanal 101 wie in Figur 1 ebenfalls eine DLL-Schaltung, so ist einzige Aufgabe der PLL-Schaltung, einen  
25 unabhängigen Referenztakt für sämtliche Signalabtastungsblöcke 20, 21, ... 2n zu erzeugen. Durch die DLL-Schaltungen 30, 31, ... 3n wird dann für jeden Datenkanal eine gleiche Phase und eine gleiche Frequenz von Referenztakt und dem jeweiligen Datenkanal eingestellt.

30 Dies wird im folgenden an dem Ausführungsbeispiel der Figuren 3 und 4 weiter erläutert. Figur 3 stellt eine Anordnung zur Erzeugung eines Taktes für einen 1:2 Demultiplexer-Baustein 4 für vier Datenkanäle dar. Dabei ist die Anzahl von vier  
35 Datenkanälen nur beispielhaft zu verstehen und kann die Anordnung grundsätzlich auch jede andere Kanalzahl realisieren.

Die einzelnen Datenkanäle 101, 102, 103, 104 und  
Signalabtastungsblöcke 20, 21, 22, 23 sind entsprechend Figur  
1 aufgebaut. Als Referenzkanal wird wieder beispielhaft der  
5 Datenkanal 101 verwendet. Der Referenztakt RT für die  
Signalabtastung für sämtliche Signalabtastungsblöcke 20, 21,  
22, 23 wird durch die PLL-Schaltung 1 zur Verfügung gestellt.

Die Signalabtastungsblöcke 20-23 weisen jeweils zwei Signal-  
10 ausgänge auf, einen Ausgang für die abgetasteten, ausgehenden  
Daten DO1-DO4 und einen Ausgang für ein Taktsignal CO1-CO4  
(CO = Clock Out). Das Taktsignal CO1-CO4 weist dabei einen  
anderen Takt auf als der Referenztakt RT, der durch die PLL-  
Schaltung 1 zur Verfügung gestellt wird. So handelt es sich  
15 bei dem Taktsignal CO1-CO4 um einen gegenüber dem  
Referenztakt RT mit einer zusätzlichen Frequenz addierten  
bzw. subtrahierten Takt, wie noch erläutert werden wird.

Die Ausgangssignale der einzelnen Signalabtastungsblöcke 20-  
20 23 werden einem 1:2 Demultiplexer 4 zugeführt, der die Daten  
DO1-DO4 jeweils in zwei Datenströme DO1a, DO1b, ... DO4a,  
DO4b aufteilt.

Die funktionellen Bauelemente eines Signalabtastungsblocks 2n  
25 sind schematisch in Figur 4 dargestellt. Danach weist eine  
DLL-Schaltung einen Phasendetektor PD 5 (Phase detector),  
eine Ladungspumpe CP 6 (Charge Pump) und eine  
Verzögerungsleitung bzw. einen Phasenschieber DL 7 (Delay  
Line) auf.

30 Der Phasendetektor PD5 weist als Eingänge das Datensignal DIn  
des betrachteten Datenkanals 10n und den phasengeänderten,  
von dem Phasenschieber DL7 rückgekoppelten Referenztakt COn  
auf. Der Referenztakt ist dabei das Signal, das unter  
35 Verwendung der DLL-Schaltung zu den Daten des Datenkanals 10n  
ausgerichtet werden soll. In Abhängigkeit von der  
Phasendifferenz erzeugt der Phasendetektor PD5 ein Signal,

das er an die Ladungspumpe CP 6 weitergibt. Die Ladungspumpe CP 6 integriert im wesentlichen das Ausgangssignal des Phasendetektors 5 über die Zeit. Die Ladungslumpe CP 6 kontrolliert den Phasenschieber DL 7, der entsprechend der „Ladung“ der Ladungspumpe CP 6 eine Anpassung der Phase des am Phasenschieber 7 eingehenden Referenztaktes RT vornimmt. Über die Feedback-Schleife wird ein Zustand eingestellt, in dem der durch den Phasenschieber 7 phasenverzögerte Referenztakt der Taktfrequenz des Datenkanals  $10n$  entspricht.

Die Unterschiede in der Taktfrequenz von Referenztakt und Datenkanal werden somit durch kontinuierliche Anpassung der Phase des Referenztaktes ausgeglichen. Dies ist möglich, da die Frequenz die Ableitung der Phase nach der Zeit ist: durch die kontinuierliche Änderung der Phase über der Zeit mittels der DLL-Schaltung wird dem Referenztakt eine zusätzliche Frequenz  $\Delta\phi/\Delta t$  hinzuaddiert, so daß der Unterschied zwischen der Frequenz des Referenztaktes und der Datenrate des jeweiligen Kanals ausgeglichen wird.

Dabei ist es wichtig, daß die Verzögerungsleitung bzw. der Phasenschieber DL 7 der DLL-Schaltung einen unendlichen Aussteuerbereich aufweist, d.h. die DLL-Schaltung Verzögerungen von  $\phi = x + n \cdot 2\pi$  mit  $x$  Element aus  $[0; 2\pi]$  und  $n$  Element aus  $N$  erzeugen kann. Zusätzlich ist erforderlich, daß die Bandbreite der DLL-Schaltung größer ist als die Differenz von Taktfrequenz des Referenztaktes und Taktfrequenz des Datenkanals, d.h.  $\Delta\omega > \Delta\phi/\Delta t$ . Wenn beispielsweise der Referenztakt eine Frequenz von 100 MHz und der Datenkanal eine Frequenz 101 MHz aufweist, so muß die Bandbreite  $\Delta\omega$  der DLL-Schaltung mindestens 1 MHz betragen.

Entsprechende DLL-Schaltungen sind, wenn auch in anderem Kontext, im einzelnen in den eingangs genannten Druckschriften, insbesondere der US-A-5614855, der EP-A2-0 349 715 und dem Artikel von T.H. Lee, K.S. Donnelly, J.T.C. Ho, J. Zerbe, M.G. Johnson und C. Eshikawa beschrieben, auf

die insofern ausdrücklich Bezug genommen wird.

Am Ausgang des Signalabtastungsblocks  $2n$  liegt der in seiner Phase und damit auch in seiner Frequenz angepaßte Referenztakt  $CO_n$  an, sowie die mit dem Takt  $CO_n$  gesampelten Output-Daten  $DO_n$  des Datenkanals  $10n$ .

Es wird darauf hingewiesen, daß das Beispiel eines Demultiplexer-Bausteins nur beispielhaft zu verstehen ist. Das erfindungsgemäße Prinzip läßt sich ebenfalls für transmittierende Bausteine, z.B. Multiplexer verwenden.

In alternativen Ausführungsbeispielen wird der Referenztakt RT nicht mittels einer PLL-Schaltung aus den Daten oder einem mitgelieferten Takt eines Datenkanals erzeugt, sondern durch einen unabhängigen Taktgenerator, insbesondere einen hochgenauen Quarz-Oszillator zur Verfügung gestellt, der an die Verbindungsleitung 2 angeschlossen wird. Das beschriebene Verfahren und die beschriebene Anordnung sind dabei ansonsten unverändert.

Die Erfindung beschränkt sich in ihrer Anwendung nicht auf die vorstehend dargestellten Ausführungsbeispiele. Wesentlich für die Erfindung ist allein, daß mittels einer PLL-Schaltung aus einem Datenkanal ein Referenztakt gewonnen, der gewonnene Referenztakt an die weiteren Datenkanäle geführt wird und ein Ausgleich der Unterschiede in der Taktfrequenz zwischen dem Referenztakt und den weiteren Datenkanäle jeweils mittels einer DLL-Schaltung erfolgt.

## Bezugszeichenliste

	1	PLL-Schaltung
	2	Verbindungsleitung
5	2n	Signalabtastungsblöcke
	3n	DLL-Schaltung
	4	1:2 Demultiplexer-Baustein
	5	Phasendetektor
	6	Ladungspumpe
10	7	Phasenschieber
	101	Referenzkanal
	10n	Datenkanäle
	11n	PLL-Schaltung
15	RT	Referenztakt
	DIn	Eingangsdaten des n-ten Signalabtastungsblocks
	DOn	Ausgangsdaten des n-ten Signalabtastungsblocks
	CO <sub>n</sub>	Ausgangstakt des n-ten Signalabtastungsblocks

## Patentansprüche

1. Verfahren zur Erzeugung eines Taktes in einem  
5 Datenverarbeitungssystem mit einer Vielzahl unabhängiger,  
nicht synchroner digitaler Datenkanäle, gekennzeichnet  
durch die Schritte:

- Gewinnen eines Referenztaktes (RT),
- Zuführen des gewonnenen Referenztaktes (RT) an die  
10 Datenkanäle (101-10n), und
- Ausgleichen der Unterschiede in der Taktfrequenz zwischen  
dem Referenztakt (RT) und den Datenkanälen (101-10n) jeweils  
mittels einer Delay-Locked-Loop (DLL) Schaltung (30-3n).

15

2. Verfahren nach Anspruch 1, dadurch  
gekennzeichnet, daß der Referenztakt aus den Daten  
oder einem mitgelieferten Takt eines als Referenzkanal  
dienenden Datenkanals (101) mittels einer Phase-Locked-Loop  
20 (PLL) Schaltung (1) gewonnen wird.

3. Verfahren nach Anspruch 1, dadurch  
gekennzeichnet, daß der Referenztakt durch einen  
unabhängigen Taktgenerator, insbesondere einen Quarz-  
25 Oszillator gewonnen wird.

30

4. Verfahren nach mindestens einem der Ansprüche 1 bis 3,  
dadurch gekennzeichnet, daß für jeden Datenkanal  
(101-10n) mittels der jeweiligen Delay-Locked-Loop (DLL)  
Schaltung (30-3n) die Phase des Referenztakts (RT)  
kontinuierlich an die Phase des Datenkanals angepaßt wird.

35

5. Verfahren nach mindestens einem der Ansprüche 1 bis 4,  
dadurch gekennzeichnet, daß für jeden Datenkanal

(101-10n) mittels des angepaßten Referenztaktes (COn) die Daten des Datenkanals abgetastet werden.

- 5 6. Anordnung zur Erzeugung eines Taktes in einem  
Datenverarbeitungssystem mit einer Vielzahl unabhängiger,  
nicht synchroner digitaler Datenkanäle, gekennzeichnet  
durch
- Mittel (1) zur Erzeugung eines Referenztaktes (RT),
  - 10 - eine Vielzahl von Signalabtastungsblöcken (20-2n), die  
jeweils einem Datenkanal (101-10n) zugeordnet sind und denen  
der erzeugte Referenztakt zugeführt wird, wobei
  - jeder Signalabtastungsblock (20-2n) eine Delay-Locked-Loop  
(DLL) Schaltung (30-3n) zum Ausgleichen der Unterschiede in
  - 15 der Taktfrequenz zwischen dem Referenztakt (RT) und dem  
jeweiligen Datenkanal aufweist, die einen unendlichen  
Verzögerungsbereich aufweist und eine Bandbreite, die größer  
ist als die Differenz zwischen der Frequenz des
  - Referenztaktes (RT) und der Frequenz des jeweiligen
  - 20 Datenkanals (101-10n).

7. Anordnung nach Anspruch 6, dadurch  
gekennzeichnet, daß die Mittel zur Erzeugung eines  
25 Referenztaktes (RT) eine Phase-Locked-Loop (PLL) Schaltung  
(1) zur Gewinnung eines Referenztaktes (RT) aus den Daten  
oder einem mitgelieferten Takt eines als Referenzkanal  
dienenden Datenkanals (101) umfassen.

30

8. Anordnung nach Anspruch 6, dadurch  
gekennzeichnet, daß die Mittel zur Erzeugung eines  
Referenztaktes (RT) einen Taktgenerator, insbesondere einen  
Quarz-Oszillator umfassen.

35

9. Anordnung nach mindestens einem der Ansprüche 6 bis 8, dadurch gekennzeichnet, daß die Delay-Locked-Loop (DLL) Schaltung (30-3n) jeweils einen Phasendetektor (5), eine Ladungspumpe (6) und einen Phasenschieber (7) aufweist.

5

10. Anordnung nach mindestens einem der Ansprüche 6 bis 9, dadurch gekennzeichnet, daß die einzelnen Datenkanäle (101-10n) und die zugeordneten

10 Signalabtastungsblöcke (20-2n) jeweils identisch aufgebaut sind.

11. Anordnung nach mindestens einem der Ansprüche 6 bis 10, 15 dadurch gekennzeichnet, daß die Datenkanäle (101-10n) mit einem Empfängerbaustein (4), insbesondere einem Demultiplexer, oder einem Sendebaustein, insbesondere einem Multiplexer, verbunden sind.

20

25



## Zusammenfassung

Bezeichnung der Erfindung: Verfahren und Anordnung zur

- 5 Erzeugung eines Taktes in einem Datenverarbeitungssystem mit einer Vielzahl von Datenkanälen.

Die Erfindung betrifft ein Verfahren und eine Anordnung zur Erzeugung eines Taktes in einem Datenverarbeitungssystem mit einer Vielzahl unabhängiger, nicht synchroner digitaler Datenkanäle. Erfindungsgemäß wird ein Referenztakt (RT) gewonnen, insbesondere aus den Daten oder einem mitgelieferten Takt eines als Referenzkanal dienenden Datenkanals (101) mittels einer Phase-Locked-Loop (PLL) 10 Schaltung (1), der gewonnene Referenztakt (RT) an die Datenkanäle (101-10n) geführt und werden die Unterschiede in der Taktfrequenz zwischen dem Referenztakt (RT) und den weiteren Datenkanälen (101-10n) jeweils mittels einer Delay-Locked-Loop (DLL) Schaltung (30-3n) ausgeglichen. Die 15 Erfindung ermöglicht, in einem Datenverarbeitungssystem mit einer Vielzahl unabhängiger, nicht synchroner digitaler Datenkanäle mit nur einem Referenztakt auszukommen und dabei den im System erzeugten Jitter zu reduzieren.

25 Figur 1

Fig. 1

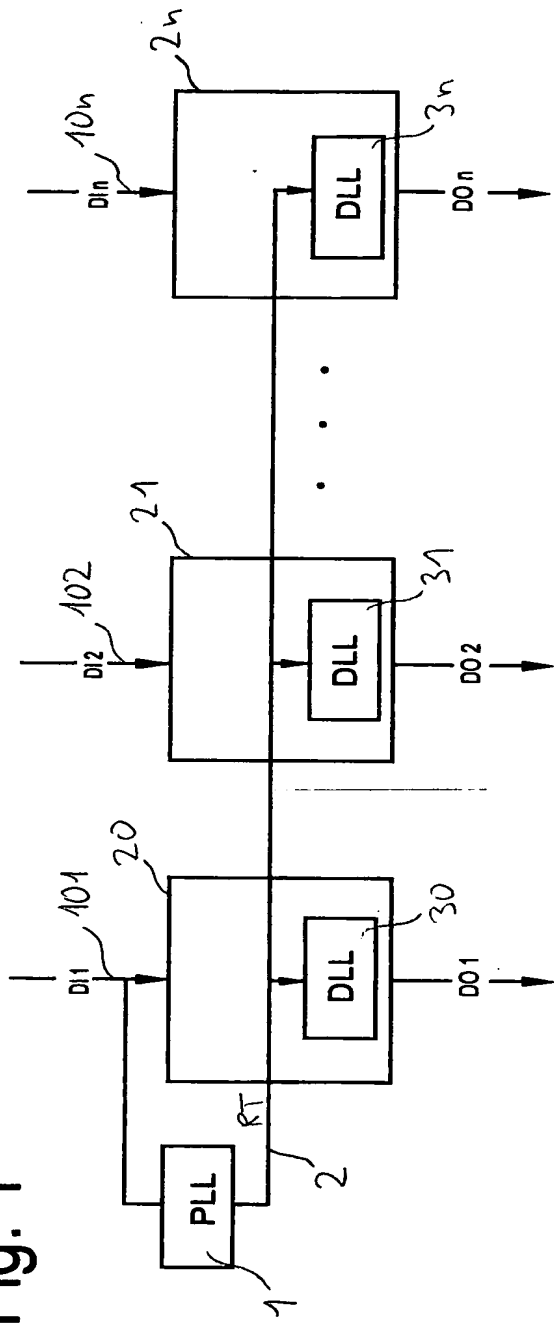


Fig. 2

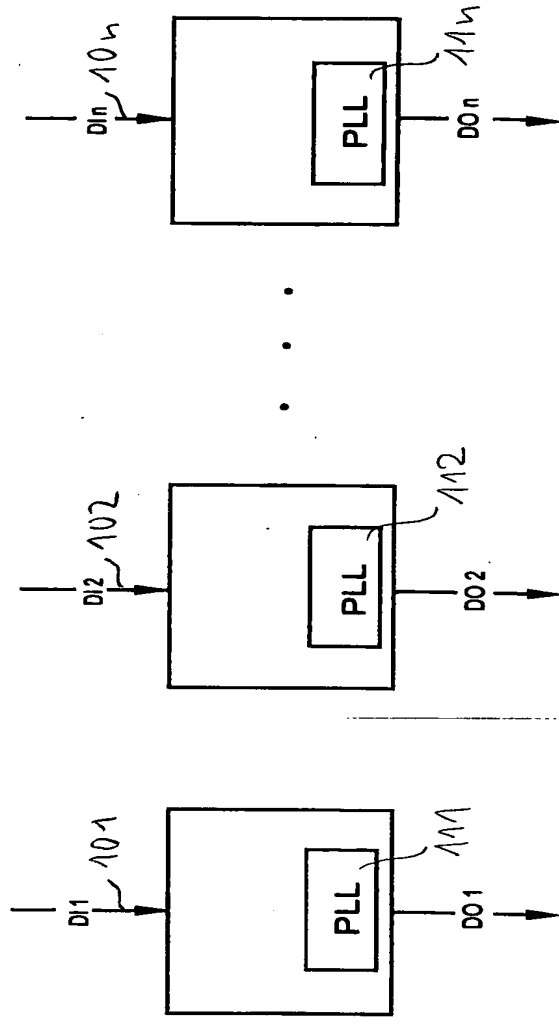


Fig. 3

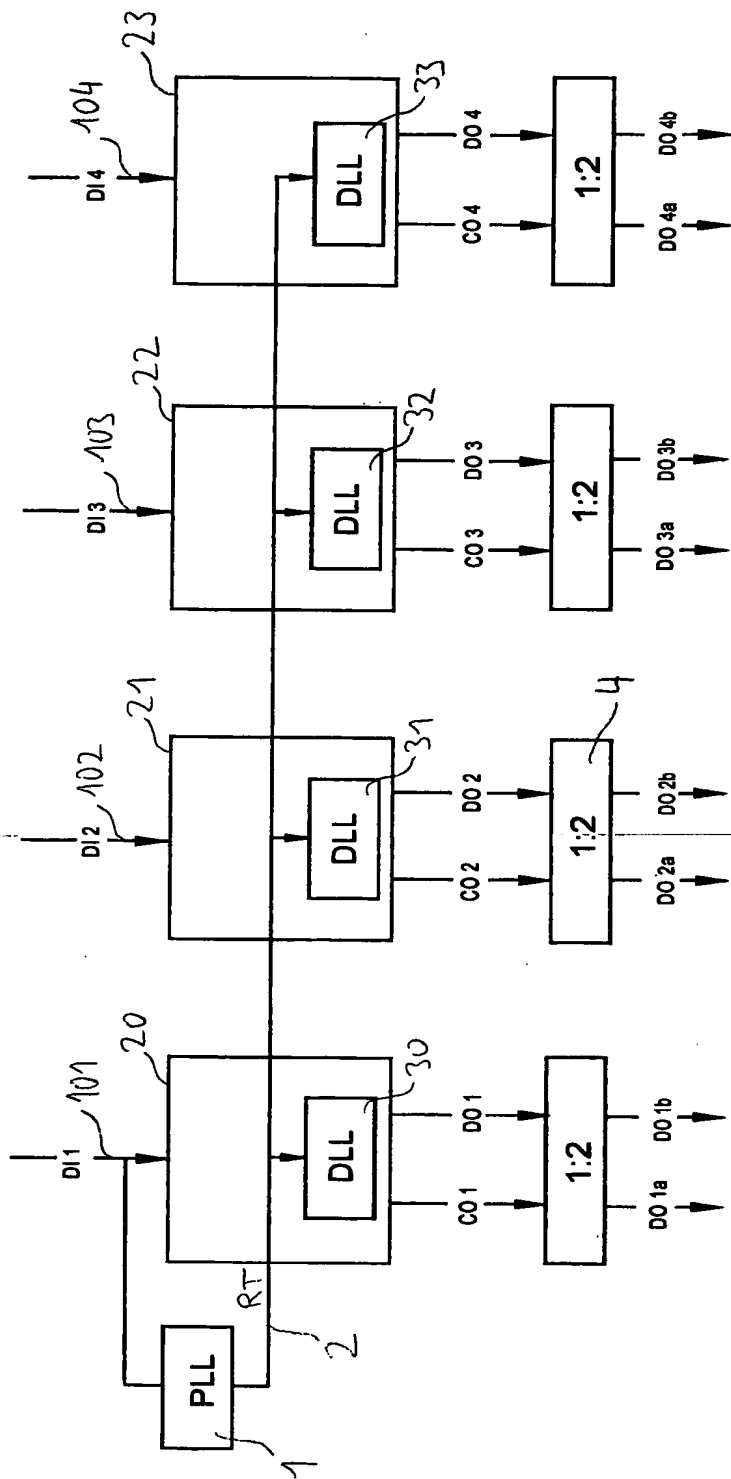
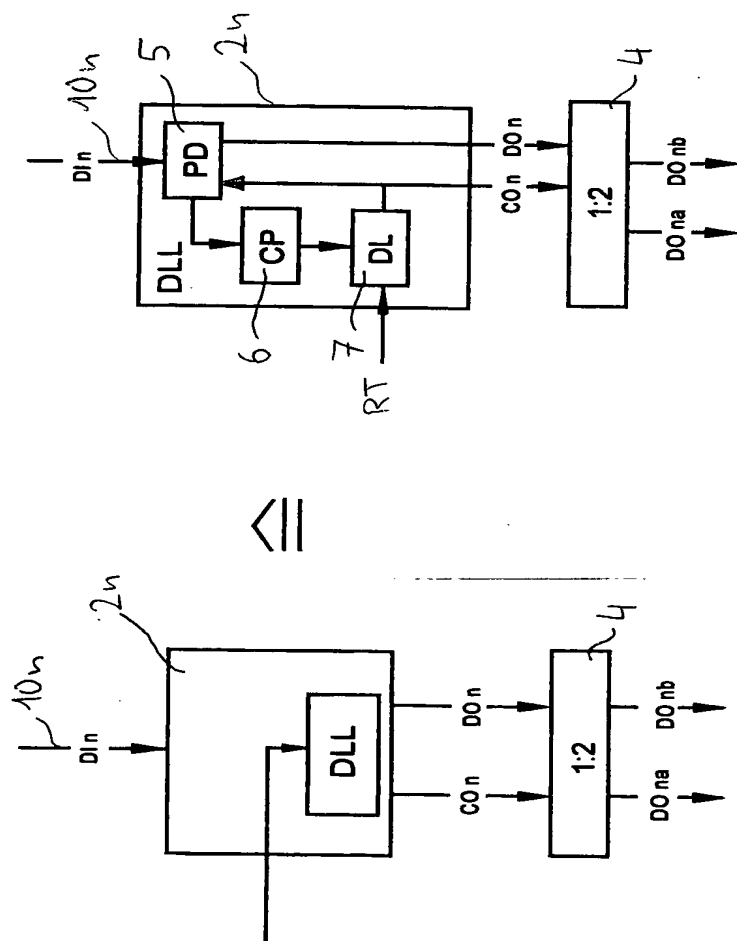


Fig. 4



FIGUR DER ZUSAMMENFASSUNG

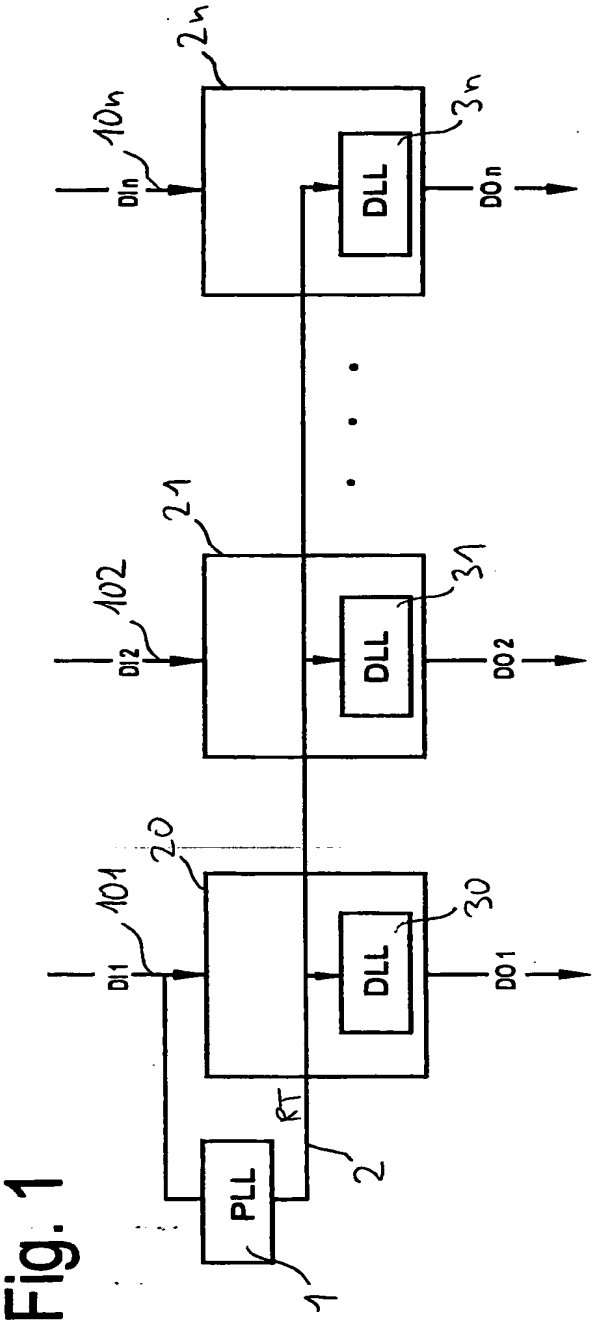


Fig. 1